

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 04 月 07 日
Application Date

申請案號：092107878
Application No.

申請人：南亞科技股份有限公司
Applicant(s)

局長
Director General

蔡練生

發文日期：西元 2003 年 5 月 12 日
Issue Date

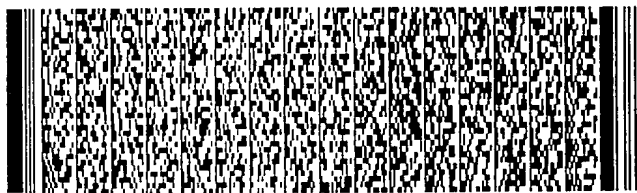
發文字號：09220471330
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	位元線接觸窗的填充方法
	英 文	METHOD OF FILLING BIT LINE CONTACT VIA
二、 發明人 (共2人)	姓 名 (中文)	1. 蔡子敬 2. 陳逸男
	姓 名 (英文)	1. Tzu-Ching Tsai 2. Yi-Nan Chen
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 桃園縣蘆竹鄉南華一街39號10樓之9 2. 台北市北投區義理街63巷2弄22號1樓
	住居所 (英 文)	1. 2.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
	代表人 (英文)	1. Jih-Chang Lien



0548-9206TWEP11: 01167: dwang.pdf

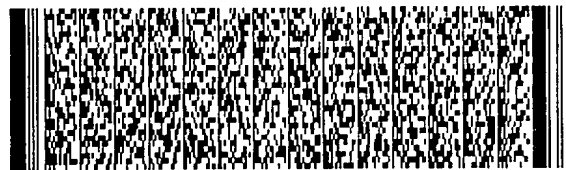
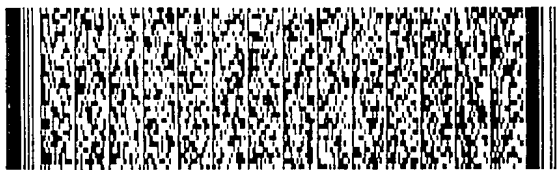
四、中文發明摘要 (發明名稱：位元線接觸窗的填充方法)

本發明揭示一種位元線接觸窗的填充方法，包括下列步驟：提供一基底，上述基底具有一元件區與一週邊線路接觸區，其中上述元件區具有一電晶體，上述電晶體係形成於上述基底上，包含一閘極、一汲極區、與一源極區；於上述基底上形成一介電層，上述介電層具有一位元線接觸窗與一週邊線路接觸窗，上述位元線接觸窗露出上述汲極區之表面，而上述週邊線路接觸窗露出上述週邊線路接觸區之表面；於上述汲極區之表面上形成一摻雜導電層，上述摻雜導電層表面低於上述介電層表面；順應性地於上述介電層、上述摻雜導電層、與上述週邊線路接觸區表面上形成一阻障層；以及於上述阻障層上形成一第一導電層，上述第一導電層填滿上述位元線接觸窗與上述週邊線路接觸窗。

伍、(一)、本案代表圖為：第2J圖。

六、英文發明摘要 (發明名稱：METHOD OF FILLING BIT LINE CONTACT VIA)

A method of filling bit line contact via. The method includes providing a substrate having a device area and periphery contact area, the device area having a transistor on the substrate, having a gate electrode, drain region, and a source region, forming a dielectric layer having a bit line contact via exposing the drain region and a periphery via exposing the periphery contact area,



四、中文發明摘要 (發明名稱：位元線接觸窗的填充方法)

(二)、本案代表圖之元件代表符號簡單說明：

200~ 基底；

201~ 元件區；

202~ 週邊線路區；

203~ 週邊線路區；

212~ 汲極區；

214~ 源極區；

220~ 閘極；

221~ 閘極介電層；

222~ 複晶矽層；

223~ 金屬矽化物層；

224~ 硬罩幕層；

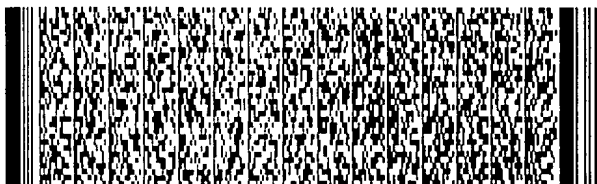
225~ 間隙壁；

230~ 介電層；

231、232、233~ 介層窗；

六、英文發明摘要 (發明名稱：METHOD OF FILLING BIT LINE CONTACT VIA)

forming a doped conductive layer, thinner than the dielectric layer, overlying the drain region, conformally forming a barrier layer overlying the dielectric layer, doped dielectric layer, and the periphery contact area, and forming a first conductive layer filling the bit line contact via and the periphery contact via.



四、中文發明摘要 (發明名稱：位元線接觸窗的填充方法)

240~ 阻 障 層 ；

250~ 鎢 金 屬 層 ；

260~ 導 電 層 。

六、英文發明摘要 (發明名稱：METHOD OF FILLING BIT LINE CONTACT VIA)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



五、發明說明 (1)

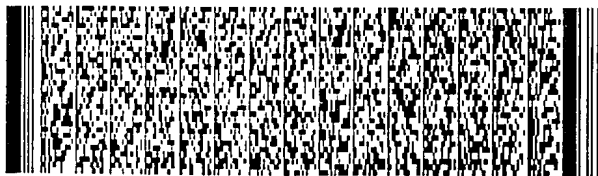
【發明所屬之技術領域】

本發明係有關於一種位元線接觸窗的填充方法，特別係有關一種在位元線接觸窗形成導體層的方法。

【先前技術】

請參考第1A~1F圖，為一系列之剖面圖，係顯示一習知的位元線接觸窗的填充方法的流程。

請參考第1A圖，首先，提供一基底100，例如為單晶矽之基底；其中基底100具有一元件區101、週邊電路區102、與週邊電路區103。其中元件區101為電晶體之結構，在基底100的主動面上具有以一間隔交錯排列的汲極區112與源極區114；在汲極區112與源極區114之間具有一凸出基底100表面的閘極120，閘極120依據種種需求而通常具有多層結構，例如在第1A圖的閘極120中，由基底100的表面向上依序為一閘極介電層121例如為氧化層、一複晶矽層122、一金屬矽化物層123例如為矽化鎢層、與一硬罩幕層124例如為氮化矽層。而週邊電路區103的基底100的表面上亦具有如閘極120相同的多層結構。接下來，在基底100上形成一圖形化阻劑層191，曝露出元件區101。然後以離子佈植的方式，在汲極區112植入一摻雜離子10，摻雜離子10為Ⅲ族或Ⅴ族的元素例如為砷，其目的在於以後步驟在汲極區112上形成一導電層作為位元線接觸(bit line contact)時，降低汲極區112與上述導電層之間的接觸阻抗。



五、發明說明 (2)

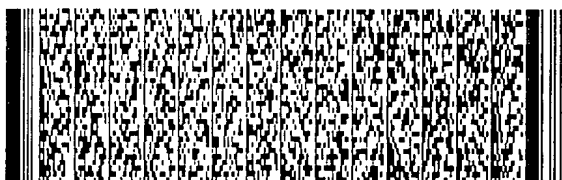
請參考第1B圖，完成離子佈植後，去除圖形化阻劑層191，再於基底100上形成一絕緣層(未繪示於圖面)例如為氮化矽層，再對上述絕緣層進行非等向性蝕刻以在閘極120之側壁形成一間隙壁125。另外，在離子佈植時，若製程控制不當，摻雜離子10植入汲極區112與源極區114後，會向外擴散，擴大汲極區112與源極區114的範圍，使汲極區112與源極區114之間的通道區的距離縮小。

請參考第1C圖，依序於基底100上形成一介電層130例如為氧化物層及一圖案化阻劑層192，圖案化阻劑層192具有一開口192a、192b、192c，其中開口192a、192b、192c分別露出部分介電層130之表面，且開口192a之位置即為後續形成位元線接觸窗之位置，而開口192b、192c分別為後續形成週邊線路接觸窗之位置。

請參考第1D圖，以圖案化阻劑層192為蝕刻罩幕對介電層130進行非等向性蝕刻，以形成介層窗131、132、133a。其中介層窗131暴露汲極區112，即為位元線接觸窗；介層窗132係暴露基底100，即為週邊線路區102之接觸窗，且介層窗132所暴露之基底100較好為離子摻雜區；介層窗133a係暴露硬罩幕層124。然後，將圖案化阻劑層192去除。

請參考第1E圖，於基底100上形成一圖案化阻劑層193，圖案化阻劑層193在週邊線路區103具有一開口193a，與介層窗133a切齊，以暴露週邊線路區103的硬罩幕層124。

請參考第1F圖，以圖案化阻劑層193為蝕刻罩幕對週



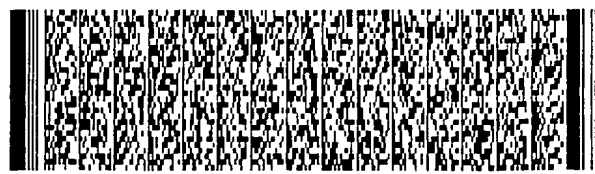
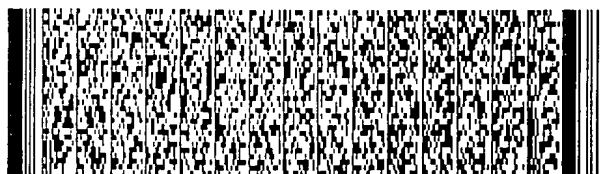
五、發明說明 (3)

邊線路區103的硬罩幕層124進行非等向性蝕刻，以形成介層窗133，暴露金屬矽化物層123，即為週邊線路區103之接觸窗。然後，將圖案化阻劑層193去除。

請參考第1G圖，於介電層130、介層窗131及其所暴露的汲極區112、介層窗132及其所曝露的基底100、介層窗133及其所曝露的金屬矽化物層123的表面上形成一阻障層140。阻障層140係一導電層，避免後續填入介層窗131、132、133的一導電層分別與介層窗131所暴露的汲極區112、介層窗132所曝露的基底100、介層窗133所曝露的金屬矽化物層123交互擴散而對最終產品的電性或可靠度有不良影響。阻障層140通常為一包含氮化鈦的導電層，其形成方式可為：以物理氣相沉積法例如濺鍍法在介電層130、介層窗131及其所暴露的汲極區112、介層窗132及其所曝露的基底100、介層窗133及其所曝露的金屬矽化物層123的表面上形成一鈦金屬層(未繪示於圖面)，再將基底100置於氮氣的氣氛下進行退火。

請參考第1H圖，以例如化學氣相沉積法沉積一導電的鎢金屬層150於介層窗131、132、133中，作為位元線接觸與週邊線路接觸。

然而，如同第1A與1B圖之描述，雖然在汲極區112植入摻雜離子10之後，以後步驟在汲極區112上形成一導電層作為位元線接觸時，可降低汲極區112與上述導電層之間的接觸阻抗；卻也使汲極區112與源極區114的範圍擴大，而使汲極區112與源極區114之間的通道區的距離縮小，



五、發明說明 (4)

造成在閘極120施以一較小的電壓即會使汲極區112與源極區114之間的通道打開而對元件區101的電性造成不良影響。而在第3圖所顯示的係一電子顯微鏡照片，係顯示一依照上述習知的位元線接觸窗的填充方法的流程所製作的產品的剖面圖，其中的區域A係顯示在汲極區112植入摻雜離子10之後，使汲極區112的範圍擴大的情形。

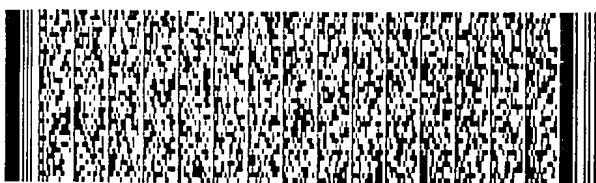
另外，在形成阻障層140時，如以濺鍍法先形成一鈦金屬層時，上述的濺鍍步驟容易傷害汲極區112的晶格結構且會在汲極區112留下一些電子或電洞等載子，而在最終產品完成並應用時，即使未對元件區101施加任何外加電壓，汲極區112仍有不必要的電流存在，因而對最終產品的電性或可靠度造成不良影響。

【發明內容】

有鑑於此，本發明的主要目的係提供一種位元線接觸窗的填充方法，在填充位元線接觸窗之前，不須對上述位元線接觸窗所曝露的汲極區作離子佈植，即可以降低在上述位元線接觸窗所填充的導電層與上述汲極區之間的接觸阻抗，以改善最終產品的電性表現。

本發明的另一目的係提供一種位元線接觸窗的填充方法，在形成一阻障層時，避免在上述位元線接觸窗所曝露的汲極區留下不必要的載子，以更加改善最終產品的電性表現，並能夠提升最終產品的可靠度。

為達成本發明之上述目的，本發明係提供一種一種位元線接觸窗的填充方法，包括下列步驟：提供一基底，上



五、發明說明 (5)

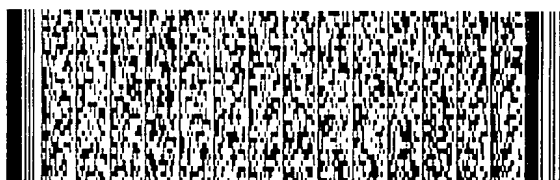
述基底具有一元件區與一週邊線路接觸區，其中上述元件區具有一電晶體，上述電晶體係形成於上述基底上，包含一閘極、一汲極區、與一源極區；於上述基底上形成一介電層，上述介電層具有一位元線接觸窗與一週邊線路接觸窗，上述位元線接觸窗露出上述汲極區之表面，而上述週邊線路接觸窗露出上述週邊線路接觸區之表面；於上述汲極區之表面上形成一摻雜導電層，上述摻雜導電層表面低於上述介電層表面；順應性地於上述介電層、上述摻雜導電層、與上述週邊線路接觸區表面上形成一阻障層；以及於上述阻障層上形成一第一導電層，上述第一導電層填滿上述位元線接觸窗與上述週邊線路接觸窗。

為了讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖示，作詳細說明如下：

【實施方式】

請參考第2A~2J圖，為一系列之剖面圖，係顯示本發明較佳實施例中位元線接觸窗的填充方法的步驟。

請參考第2A圖，首先，提供一基底200，例如為單晶矽之基底；其中基底200具有一元件區201、週邊電路區202、與週邊電路區203。其中元件區201為電晶體之結構，在基底200的主動面上具有以一間隔交錯排列的汲極區212與源極區214；在汲極區212與源極區214之間具有一凸出基底200表面的閘極220，閘極220依據種種需求而通常具有多層結構，例如在第2A圖的閘極220中，由基底200的

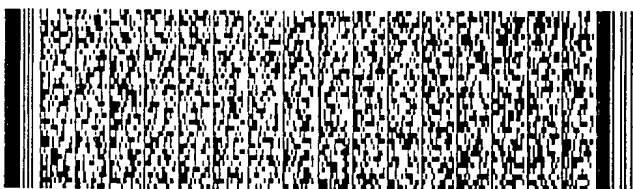


五、發明說明 (6)

表面向上依序為一閘極介電層221例如為氧化層、一複晶矽層222、一作為導電層的金屬矽化物層223例如為矽化鎢層、與一硬罩幕層224例如為氮化矽層。而週邊電路區203的基底200的表面上亦具有如閘極220相同的多層結構。與習知技術相比較，本發明之較佳實施例不需要以離子佈植的方式在汲極區212植入Ⅲ族或Ⅴ族元素的摻雜離子，以在於以後步驟在汲極區212上形成一導電層作為位元線接觸(bit line contact)時，降低汲極區212與上述導電層之間的接觸阻抗；而降低汲極區212與上述導電層之間的接觸阻抗之步驟，將繪示於第2G與2H圖。

請參考第2B圖，先於基底200上形成一絕緣層(未繪示於圖面)例如為氮化矽層，再對上述絕緣層進行非等向性蝕刻以在閘極220之側壁形成一間隙壁225。與習知技術相比較，本發明之較佳實施例因未以離子佈植的方式在汲極區212植入Ⅲ族或Ⅴ族元素的摻雜離子，故汲極區212與源極區214後，仍維持原來的範圍，而使汲極區112與源極區114之間的通道區的距離維持不變。

請參考第2C圖，依序於基底200上形成一介電層230例如為氧化物層及一圖案化阻劑層292。其中形成介電層230的方法可以是：(1)以例如化學氣相沉積法(chemical vapor deposition; CVD)在基底200上沉積一填洞能力較佳的硼磷矽玻璃層(boro-phosphosilicate glass; BPSG)(未繪示於圖面)；(2)平坦化上述BPSG層；(3)以例如CVD法以四乙烷基氧矽甲烷(tetra ethoxysilane; TEOS)為前



五、發明說明 (7)

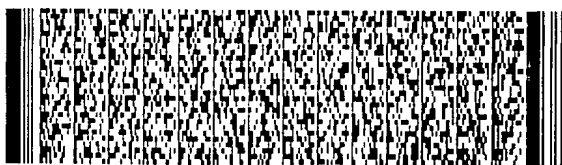
驅物在上述BPSG層形成一二氧化矽層(未繪示於圖面)；以及(4)平坦化上述二氧化矽層而形成介電層230。而在上述圖案化阻劑層292具有一開口292a、292b、292c，其中開口292a、292b、292c分別露出部分介電層230之表面，且開口292a之位置即為後續形成位元線接觸窗之位置，而開口292b、292c分別為後續形成週邊線路接觸窗之位置。

請參考第2D圖，以圖案化阻劑層292為蝕刻罩幕對介電層230進行非等向性蝕刻，以形成介層窗231、232、233a。其中介層窗231係暴露汲極區212，即為位元線接觸窗；介層窗232係暴露基底200，即為週邊線路區202之接觸窗，且介層窗232所暴露之基底200較好為離子摻雜區；介層窗233a係暴露硬罩幕層224。然後，將圖案化阻劑層292去除。

請參考第2E圖，於基底200上形成一圖案化阻劑層293，圖案化阻劑層293在週邊線路區203具有一開口293a，與介層窗233a大體切齊，以暴露週邊線路區203的硬罩幕層224。

請參考第2F圖，以圖案化阻劑層293為蝕刻罩幕對週邊線路區203的硬罩幕層224進行非等向性蝕刻，以形成介層窗233，暴露金屬矽化物層223，即為週邊線路區203之接觸窗。然後，將圖案化阻劑層293去除。

請參考第2G圖，於介電層230、介層窗231及其所暴露的汲極區212、介層窗232及其所曝露的基底200、介層窗233及其所曝露的金屬矽化物層223的表面上形成一摻雜有

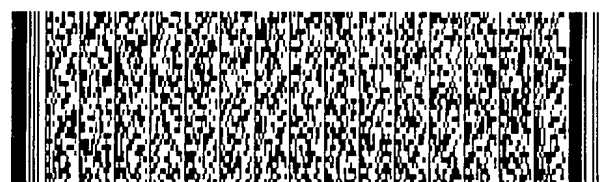
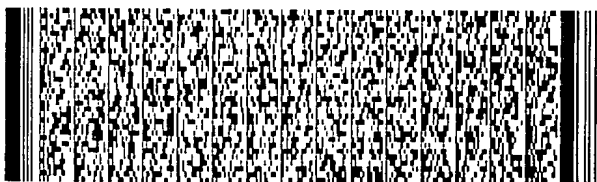


五、發明說明 (8)

Ⅲ族或Ⅴ族元素的導電層260，較好為摻雜有Ⅲ族或Ⅴ族元素的複晶矽層；導電層260中所摻雜的Ⅲ族或Ⅴ族元素的一部份可藉由擴散進入汲極區212，可於以後步驟在汲極區212上形成一導電層作為位元線接觸(bit line contact)時，降低汲極區212與上述導電層之間的接觸阻抗，且使汲極區212與源極區214的範圍維持不變，而維持原始設計中元件區201的電性，因而改善最終產品的電性表現。

請參考第2H圖，以一回蝕刻的步驟去除其他區域的導電層260，僅在介層窗231的底部留下高度低於介層窗231深度且與汲極212接觸的導電層260。

請參考第2I圖，於介電層230、介層窗231、導電層260、介層窗232及其所曝露的基底200、介層窗233及其所曝露的金屬矽化物層223的表面上形成一阻障層240。阻障層240係一導電層，避免後續填入介層窗231、232、233的一導電層分別與位於介層窗231底部的導電層260、介層窗232所曝露的基底200、介層窗233所曝露的金屬矽化物層223交互擴散而對最終產品的電性或可靠度有不良影響。阻障層240通常為一包含氮化鈦的導電層，其形成方式可為：以物理氣相沉積法例如濺鍍法在介電層230、介層窗231及其所暴露的汲極區212、介層窗232及其所曝露的基底200、介層窗233及其所曝露的金屬矽化物層223的表面上形成一鈦金屬層(未繪示於圖面)，再將基底200置於氮氣的氣氛下進行退火。與習知技術相比較，本發明較佳實



五、發明說明 (9)

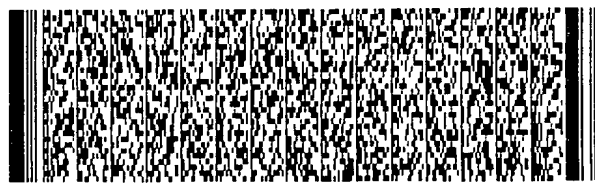
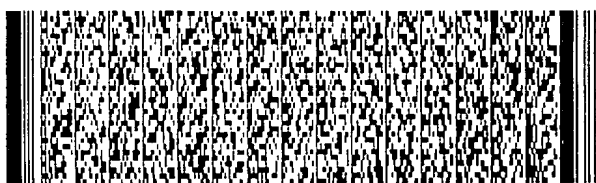
施例中，因為有一導電層260先形成於汲極區214上，因此在以濺鍍法作為形成阻障層240之一步驟時，不會傷害汲極區212的晶格結構，亦不會在汲極區212留下一些電子或電洞等載子，而在最終產品完成並應用時，汲極區212就不會有不必要的電流存在，因此可提升最終產品的電性或可靠度。

請參考第2J圖，以例如化學氣相沉積法沉積一作為導電層的鎢金屬層250於介層窗231、232、233中，作為位元線接觸與週邊線路接觸。

最後，請參考第4圖，為一電子顯微鏡照片，係顯示依照上述本發明之較佳實施例之步驟所製作的產品之剖面圖。其中，因為本發明並未以離子佈植作為降低汲極區與介層窗填充物之間的接觸阻抗的方法，因此導電層260下方的汲極區並未受到影響，其範圍仍維持原先所預定的範圍，並未受到變化。

與習知技術比較，本發明的優點之一係提供一種位元線接觸窗的填充方法，不需要以離子佈植作為降低汲極區與介層窗填充物之間的接觸阻抗的方法，而在上述位元線接觸窗的底部形成一摻雜有III族或V族元素的導電層，來降低汲極區與介層窗填充物之間的接觸阻抗時，能使汲極區與源極區的範圍維持不變，而維持通道區的長度不變，使原始設計中對最終產品的電性能夠維持，而改善最終產品的電性表現，係達成上述本發明之主要目的。

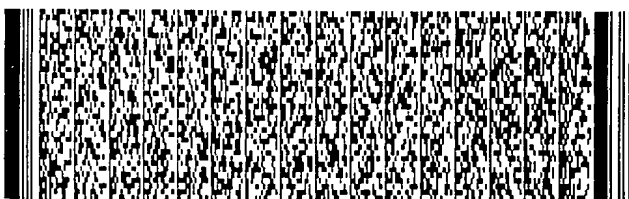
本發明的另一優點係提供一種種位元線接觸窗的填充



五、發明說明 (10)

方法，在上述位元線接觸窗的底部形成一摻雜有Ⅲ族或Ⅴ族元素的導電層，來降低汲極區與介層窗填充物之間的接觸阻抗之後，在形成一阻障層時，不會傷害汲極區的晶格結構，亦不會在汲極區留下一些電子或電洞等載子，而在最終產品完成並應用時，汲極區就不會有不必要的電流存在，因此可更加提升最終產品的電性或可靠度，係達成上述本發明的另一目的。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1A~1H圖為一系列之剖面圖，係顯示一習知的位元線接觸窗的填充方法的流程。

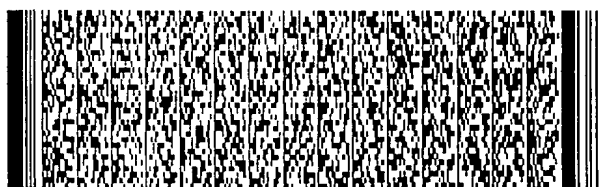
第2A~2J圖為一系列之剖面圖，係顯示本發明較佳實施例中位元線接觸窗的填充方法的步驟。

第3圖為一電子顯微鏡照片，係顯示一依照習知的位元線接觸窗的填充方法的流程所製作的產品的剖面圖。

第4圖為一電子顯微鏡照片，係顯示依照本發明之較佳實施例之步驟所製作的產品之剖面圖。

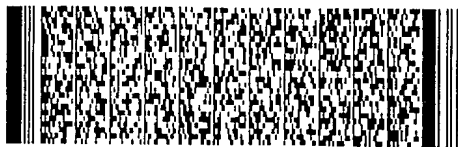
符號說明

- 10~摻雜離子；
- 100、200~基底；
- 101、201~元件區；
- 102、202~週邊線路區；
- 103、203~週邊線路區；
- 112、212~汲極區；
- 114、214~源極區；
- 120、220~閘極；
- 121、221~閘極介電層；
- 122、222~複晶矽層；
- 123、223~金屬矽化物層；
- 124、224~硬罩幕層；
- 125、225~間隙壁；
- 130、230~介電層；



圖式簡單說明

- 131、231~介層窗；
- 132、232~介層窗；
- 133a、233a~介層窗；
- 133、233~介層窗；
- 140、240~阻障層；
- 150、250~鎢金屬層；
- 191~圖形化阻劑層；
- 192、292~圖形化阻劑層；
- 192a、292a~開口；
- 192b、292b~開口；
- 192c、292c~開口；
- 193、293~圖形化阻劑層；
- 193a、293a~開口；
- 260~導電層。



六、申請專利範圍

1. 一種位元線接觸窗的填充方法，包括下列步驟：

提供一基底，該基底具有一元件區與一週邊線路接觸區，其中該元件區具有一電晶體，該電晶體係形成於該基底上，包含一閘極、一汲極區、與一源極區；

於該基底上形成一介電層，該介電層具有一位元線接觸窗與一週邊線路接觸窗，該位元線接觸窗露出該汲極區之表面，而該週邊線路接觸窗露出該週邊線路接觸區之表面；

於該汲極區之表面上形成一摻雜導電層，該摻雜導電層表面低於該介電層表面；

順應性地於該介電層、該摻雜導電層、與該週邊線路接觸區表面上形成一阻障層；以及

於該阻障層上形成一第一導電層，該第一導電層填滿該位元線接觸窗與該週邊線路接觸窗。

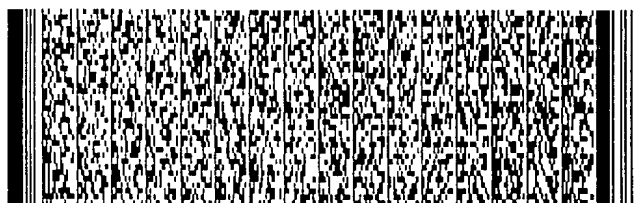
2. 如申請專利範圍第1項所述之位元線接觸窗的填充方法，其中該介電層為氧化層。

3. 如申請專利範圍第1項所述之位元線接觸窗的填充方法，其中該摻雜導電層為含砷的多晶矽層。

4. 如申請專利範圍第1項所述之位元線接觸窗的填充方法，其中形成該摻雜導電層更包含下列步驟：

於該汲極區、該介電層、與該週邊線路接觸區之表面上形成該摻雜導電層；以及

回蝕該摻雜導電層，而在該汲極區之表面上，留下該摻雜導電層。



六、申請專利範圍

5. 如申請專利範圍第1項所述之位元線接觸窗的填充方法，其中該阻障層為阻礙該第一導電層擴散之阻障層。

6. 如申請專利範圍第1項所述之位元線接觸窗的填充方法，其中該阻障層包含一氮化鈦層。

7. 如申請專利範圍第1項所述之位元線接觸窗的填充方法，其中該第一導電層為一鎢金屬層。

8. 如申請專利範圍第1項所述之位元線接觸窗的填充方法，其中該週邊線路接觸區為離子摻雜區。

9. 如申請專利範圍第1項所述之位元線接觸窗的填充方法，其中該週邊線路接觸區為一第二導電層，且該閘極更包含該第二導電層。

10. 如申請專利範圍第9項所述之位元線接觸窗的填充方法，其中該第二導電層包含一鎢的矽化物層。

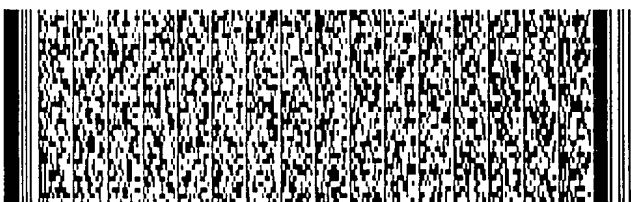
11. 一種位元線接觸窗的填充方法，包括下列步驟：

提供一基底，該基底具有一元件區與一週邊線路接觸區，其中該元件區具有一電晶體，該電晶體係形成於該基底上，包含一閘極、一汲極區、與一源極區；

於該基底上形成一介電層，該介電層具有一位元線接觸窗與一週邊線路接觸窗，該位元線接觸窗露出該汲極區之表面，而該週邊線路接觸窗露出該週邊線路接觸區之表面；

於該汲極區、該介電層、與該週邊線路接觸區之表面上形成一摻雜導電層；

回蝕該摻雜導電層，而在該汲極區之表面上，留下該



六、申請專利範圍

摻雜導電層，且該留下的摻雜導電層表面低於該介電層表面；

順應性地於該介電層、該摻雜導電層、與該週邊線路接觸區表面上形成一阻障層；以及

於該阻障層上形成一第一導電層，該第一導電層填滿該位元線接觸窗與該週邊線路接觸窗。

12. 如申請專利範圍第11項所述之位元線接觸窗的填充方法，其中該介電層為氧化層。

13. 如申請專利範圍第11項所述之位元線接觸窗的填充方法，其中該摻雜導電層為含砷的多晶矽層。

14. 如申請專利範圍第11項所述之位元線接觸窗的填充方法，其中該阻障層為阻礙該第一導電層擴散之阻障層。

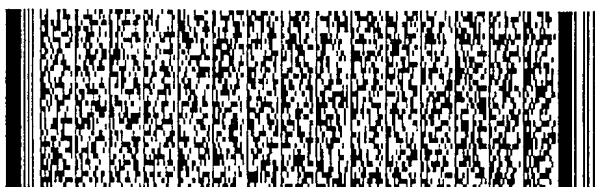
15. 如申請專利範圍第11項所述之位元線接觸窗的填充方法，其中該阻障層包含一氮化鈦層。

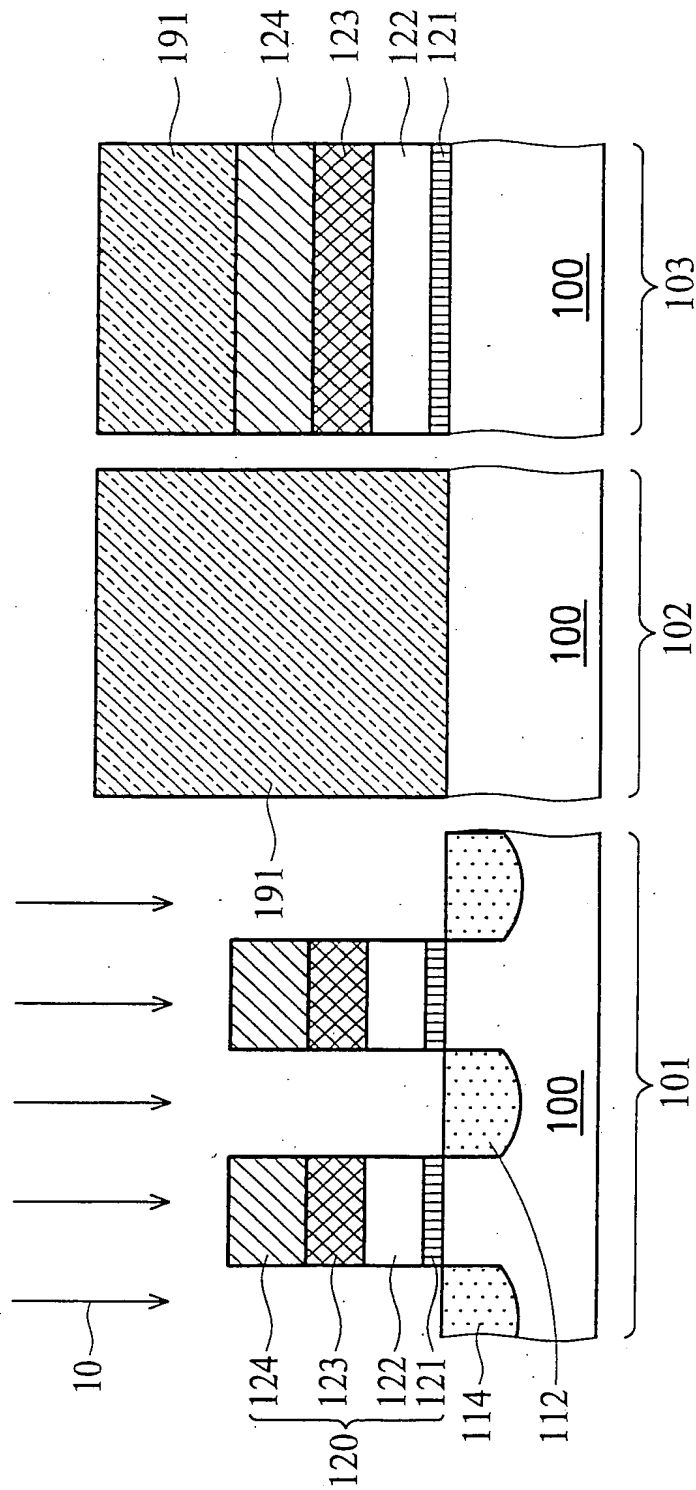
16. 如申請專利範圍第11項所述之位元線接觸窗的填充方法，其中該第一導電層為一鎢金屬層。

17. 如申請專利範圍第11項所述之位元線接觸窗的填充方法，其中該週邊線路接觸區為離子摻雜區。

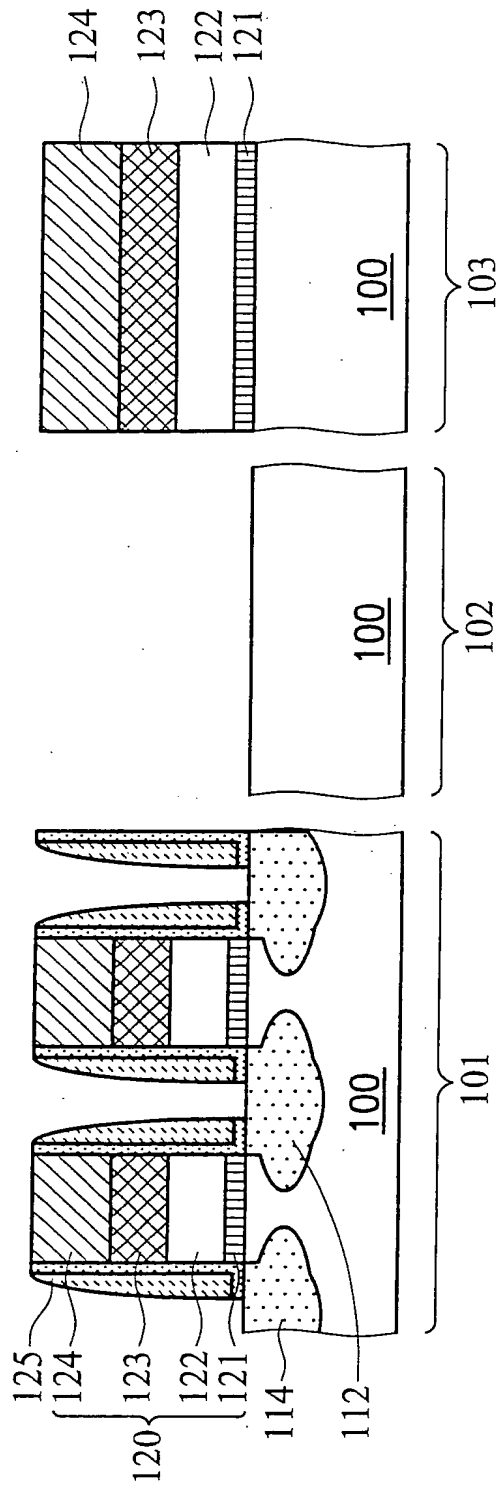
18. 如申請專利範圍第11項所述之位元線接觸窗的填充方法，其中該週邊線路接觸區為一第二導電層，且該閘極更包含該第二導電層。

19. 如申請專利範圍第18項所述之位元線接觸窗的填充方法，其中該第二導電層包含一鎢的矽化物層。

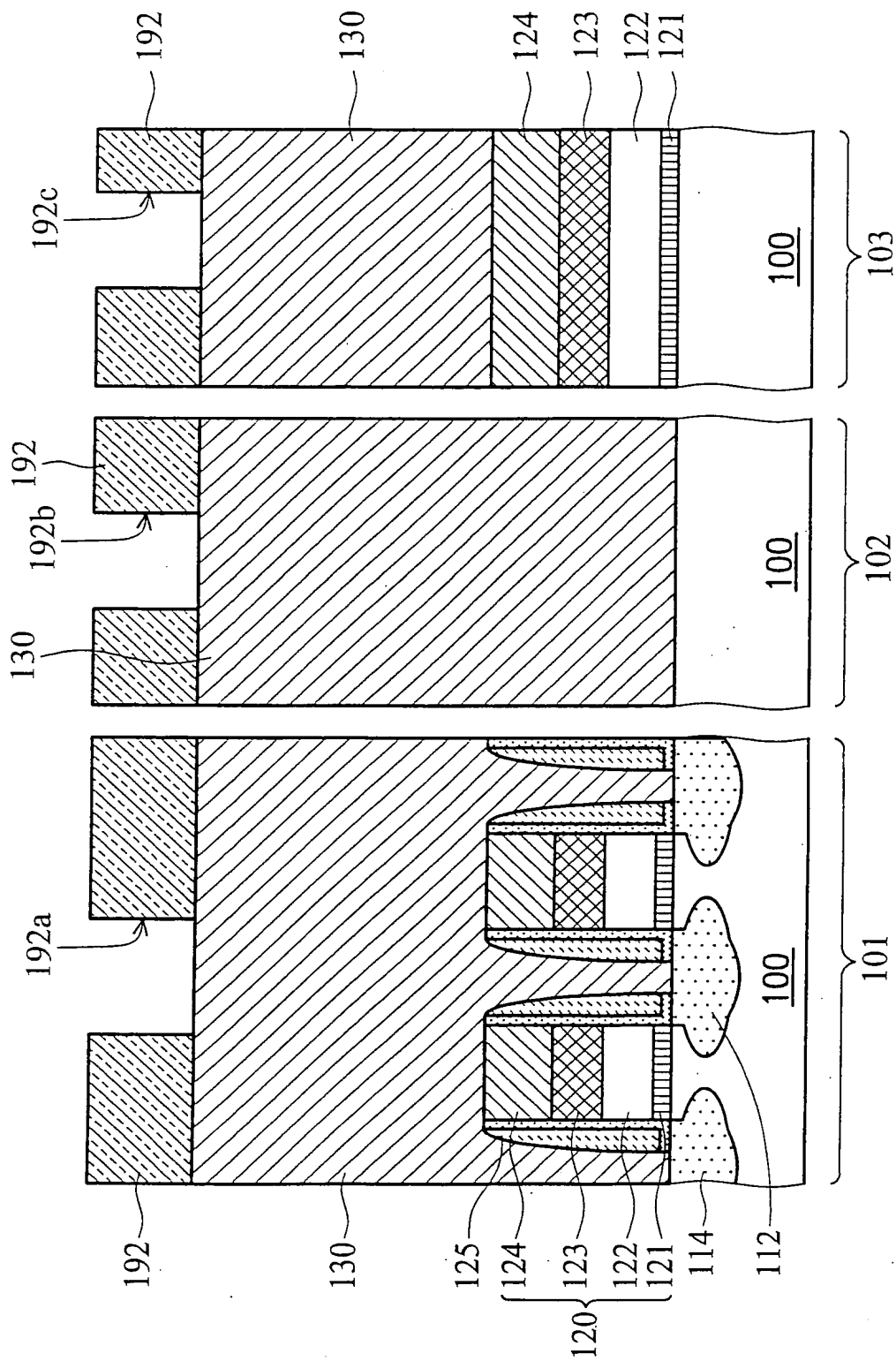




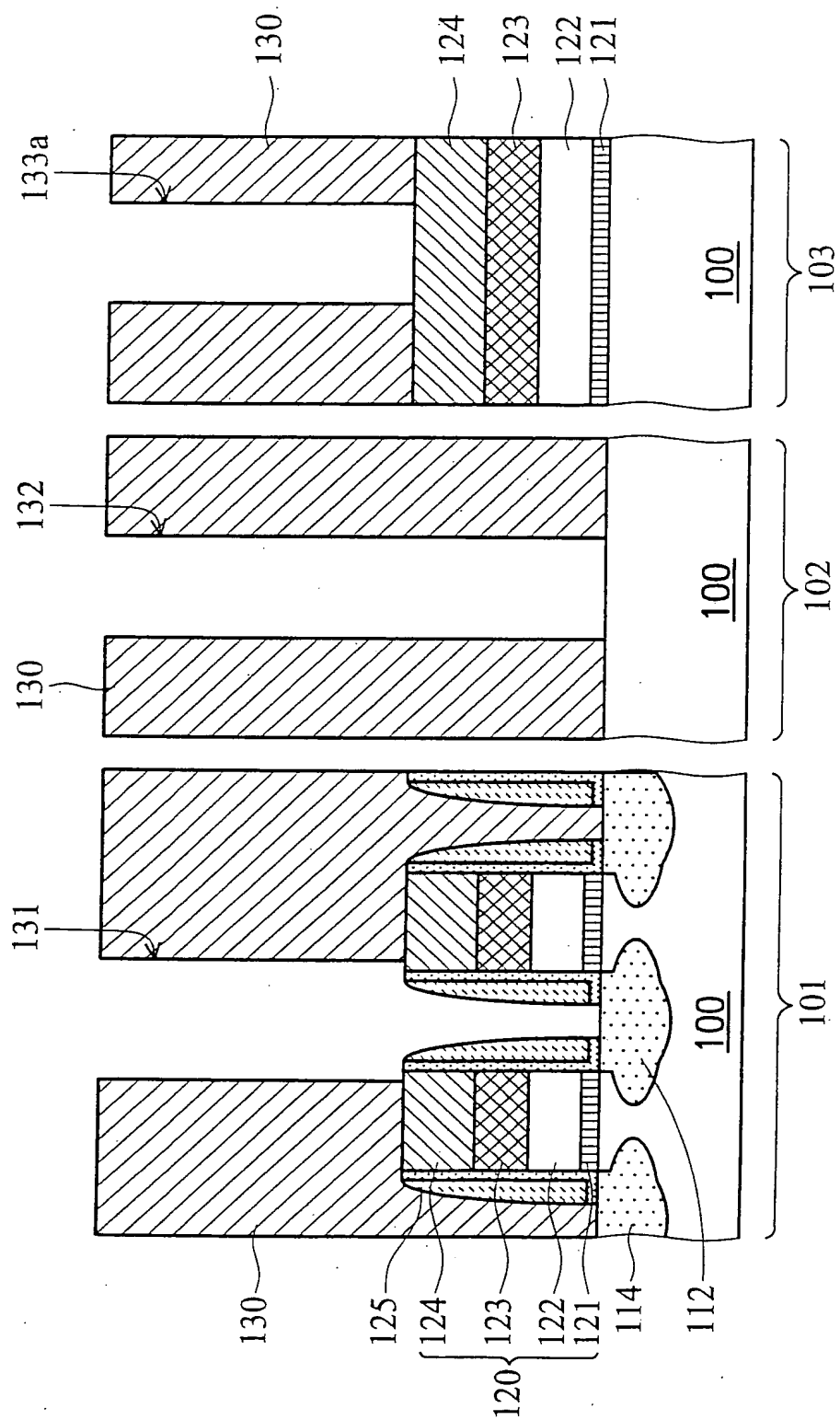
第1A圖



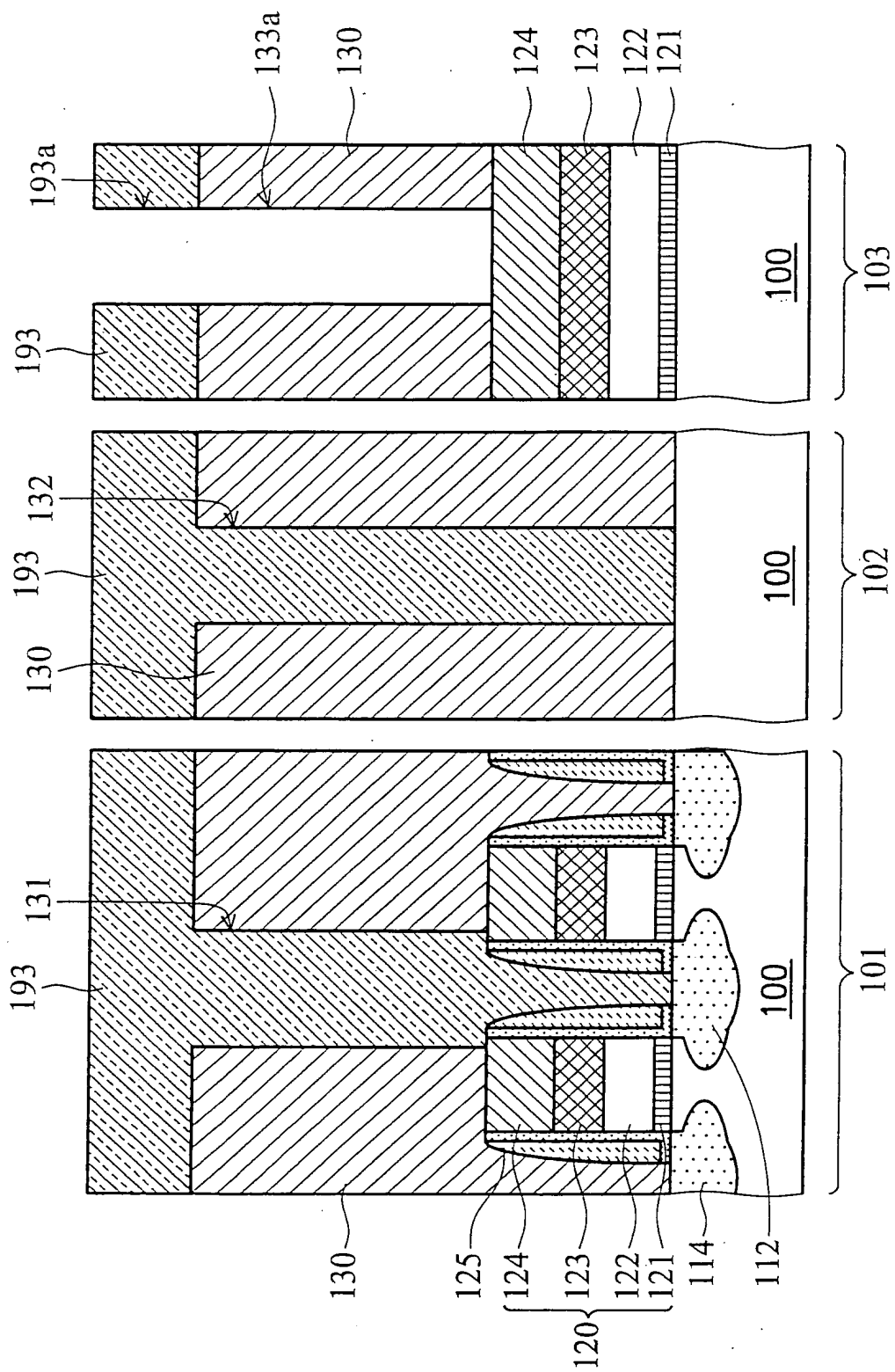
第1B圖



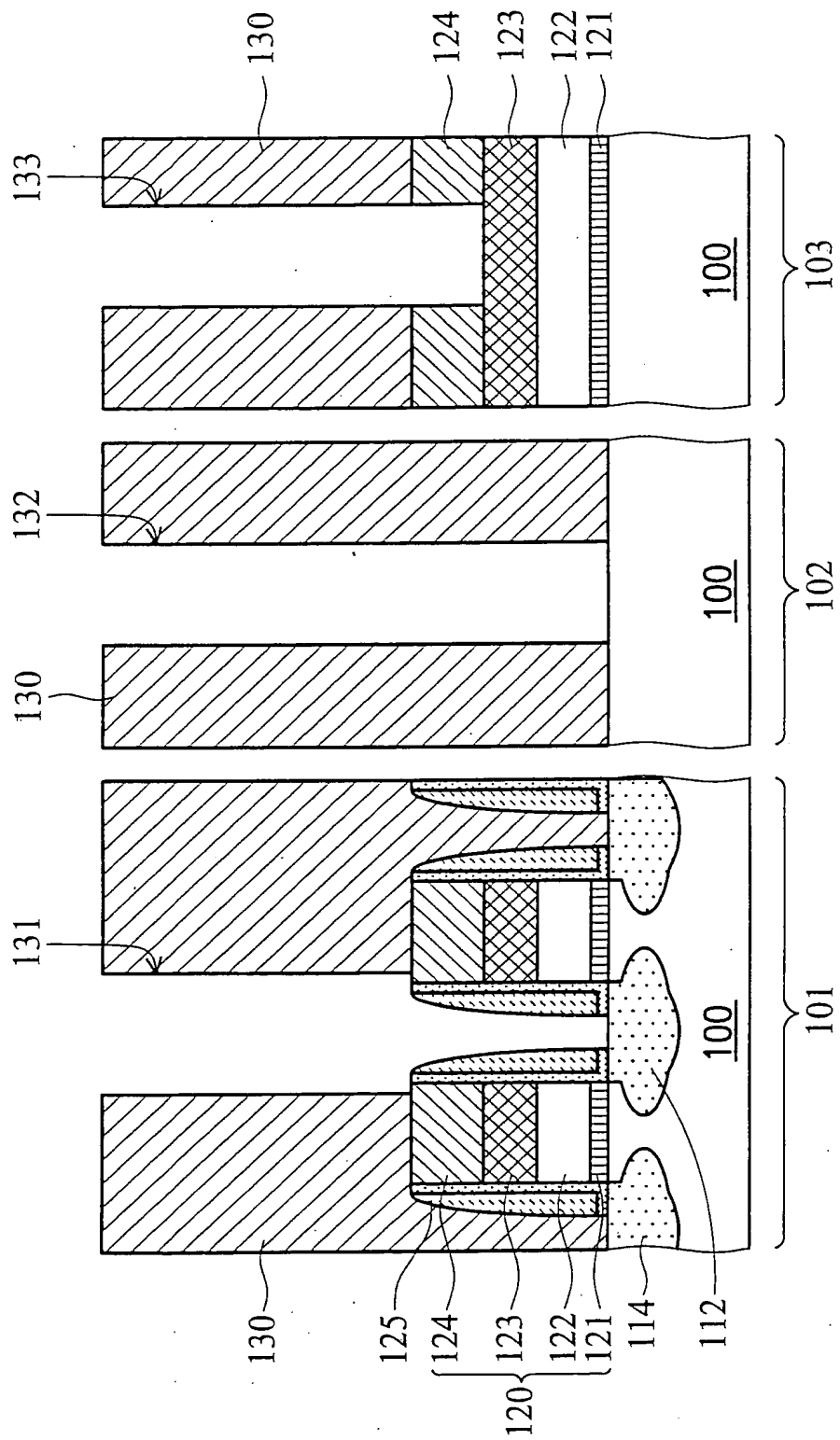
第1C圖



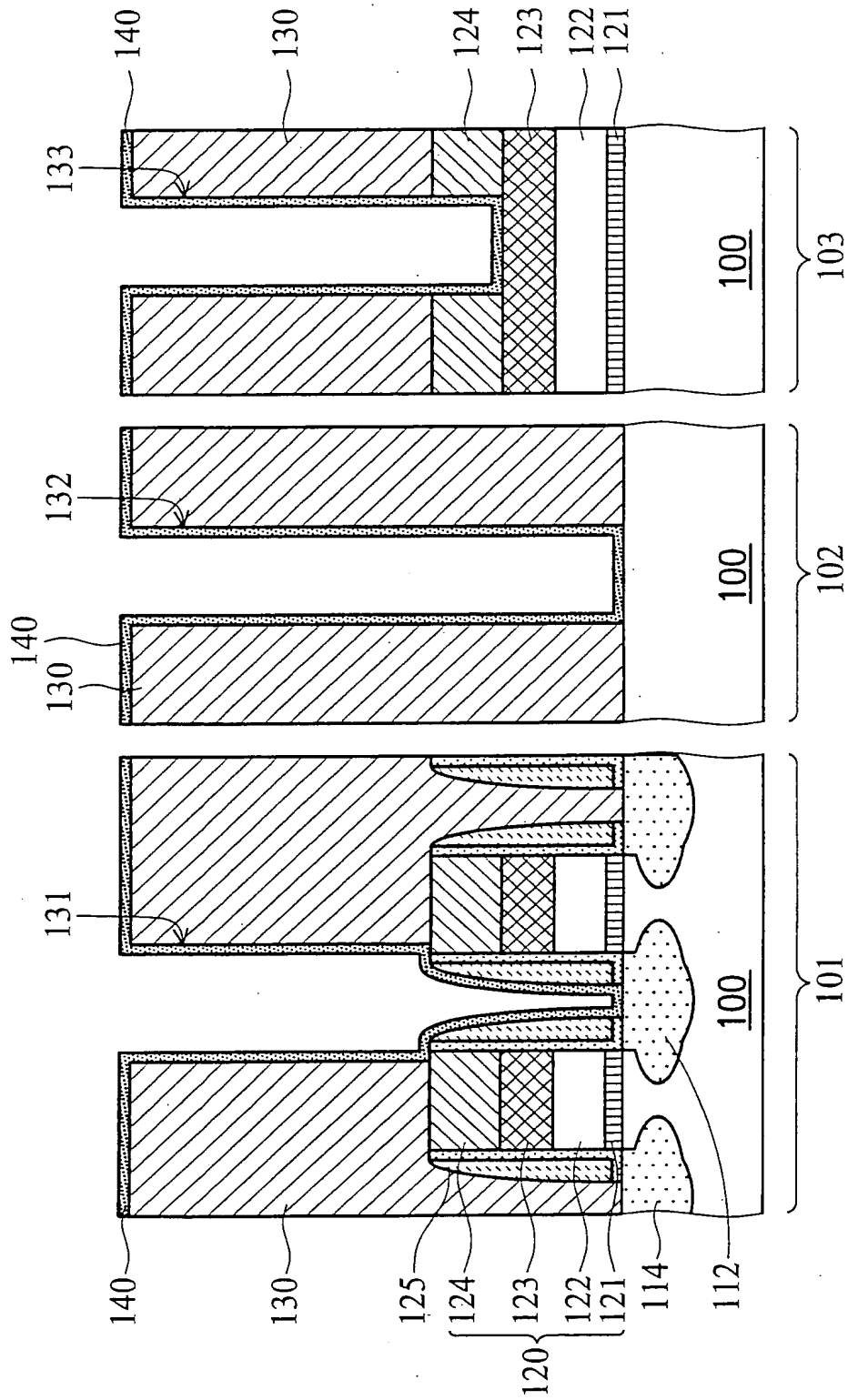
第1D圖



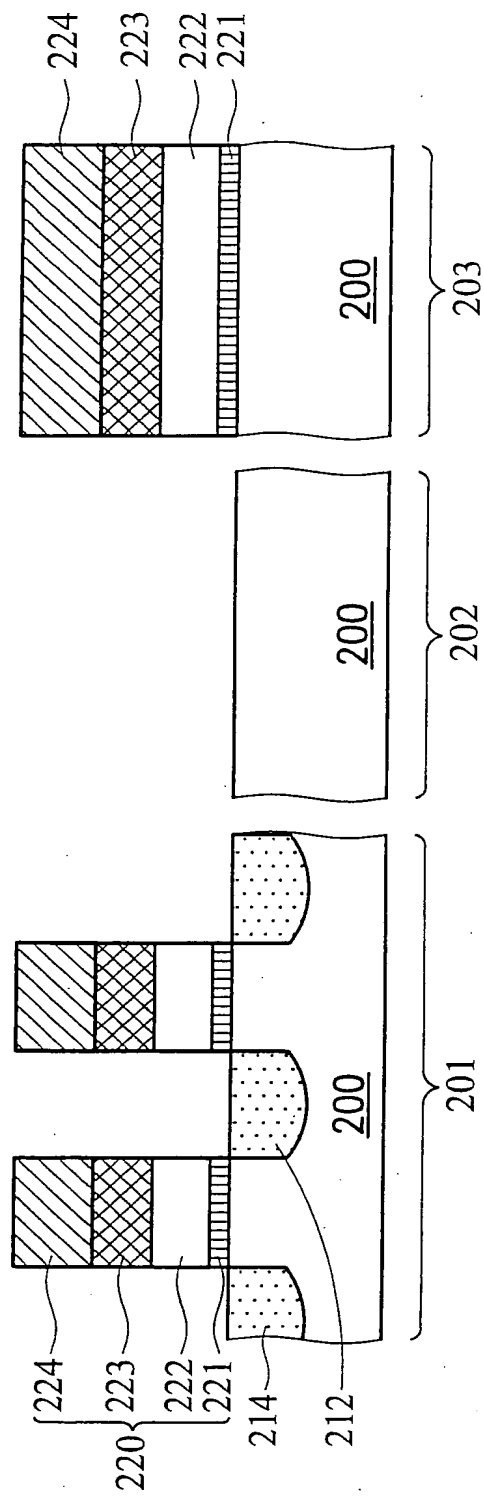
第1E圖



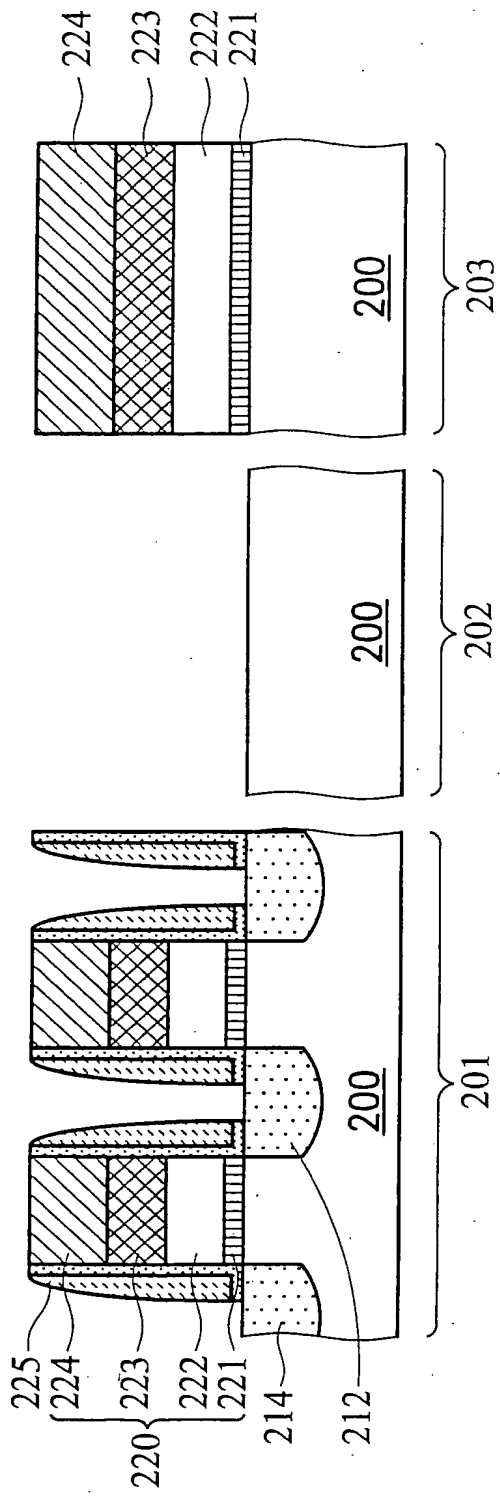
第1F圖



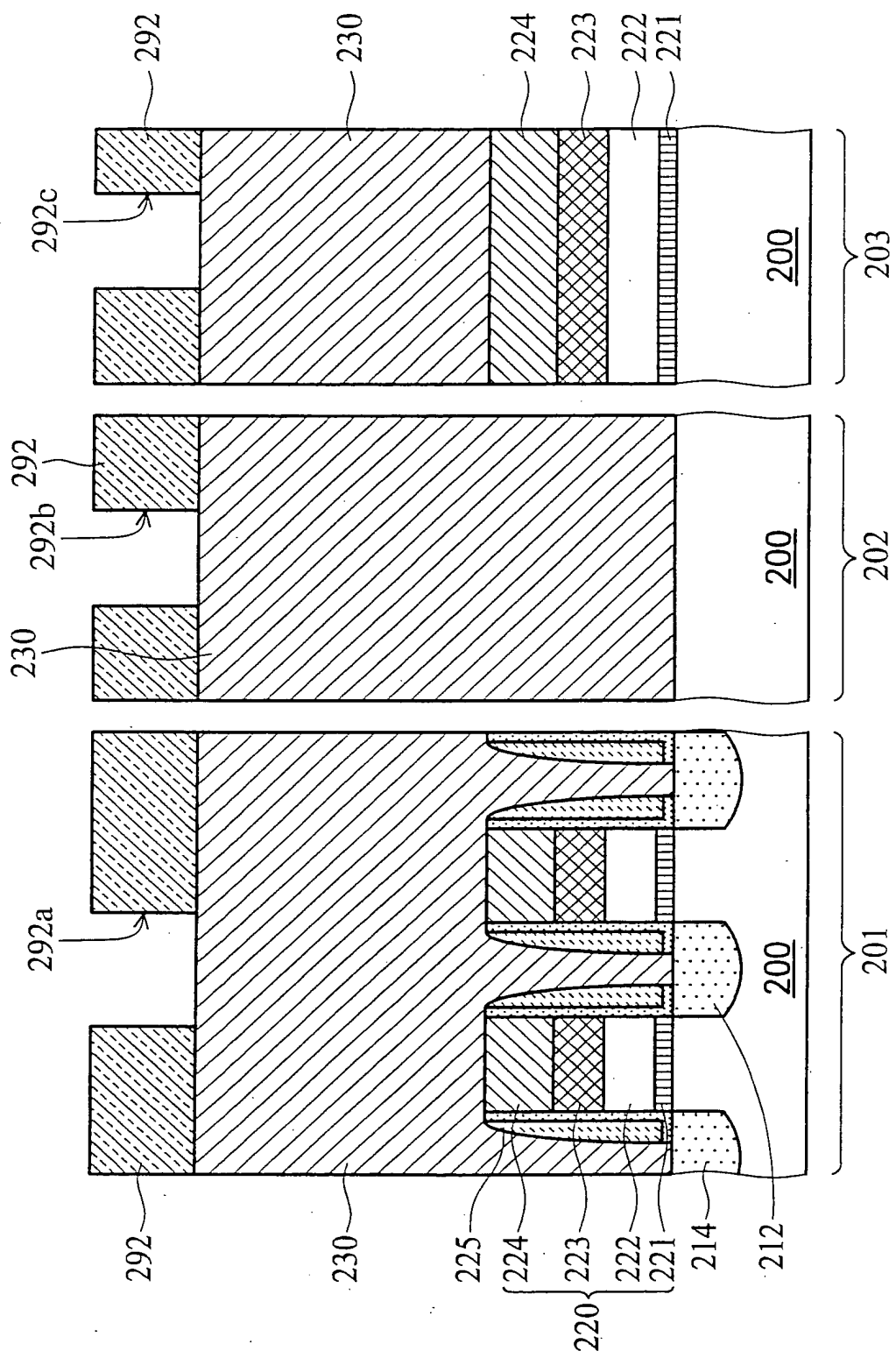
第1G圖



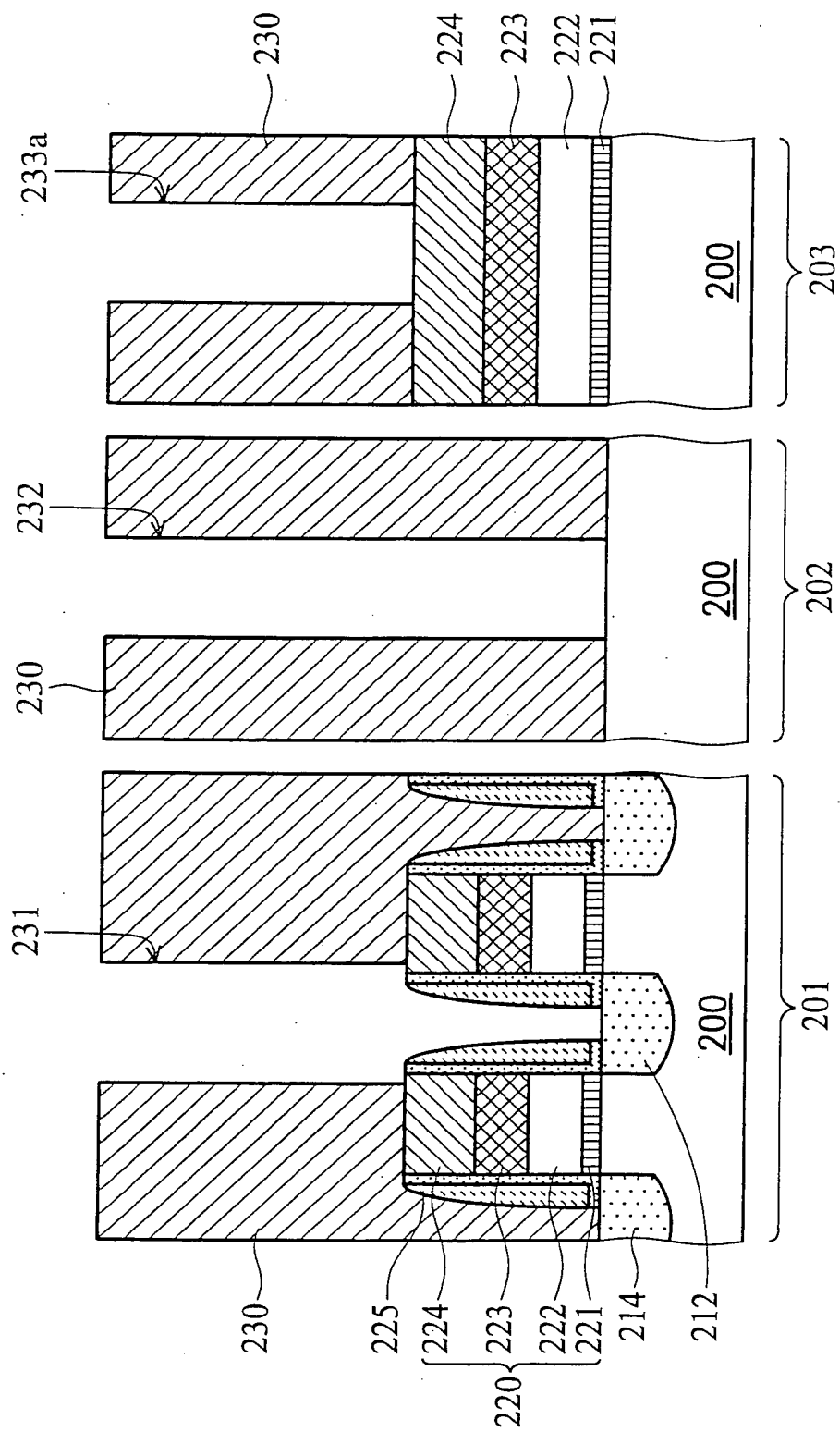
第2A圖



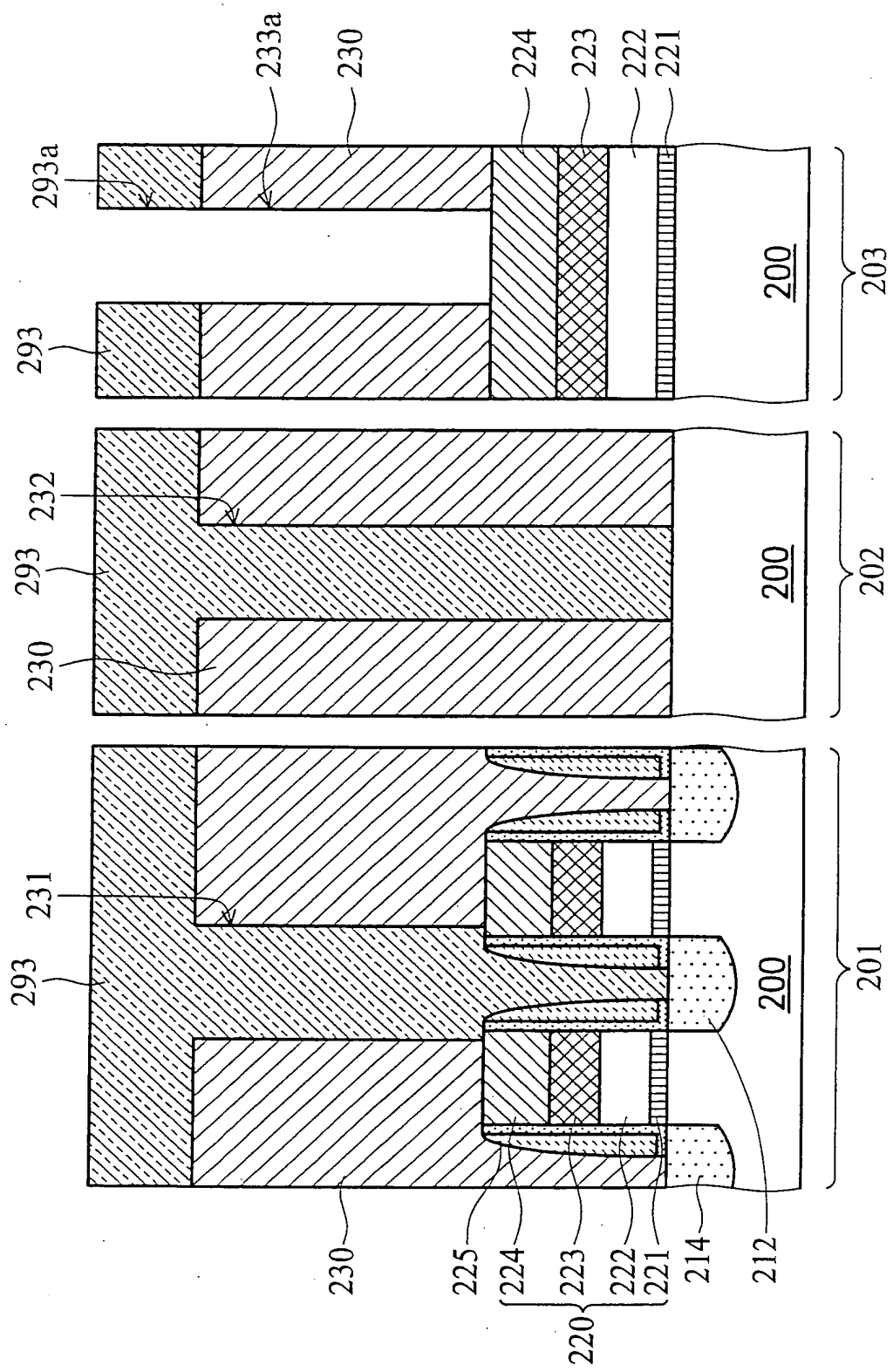
第2B圖



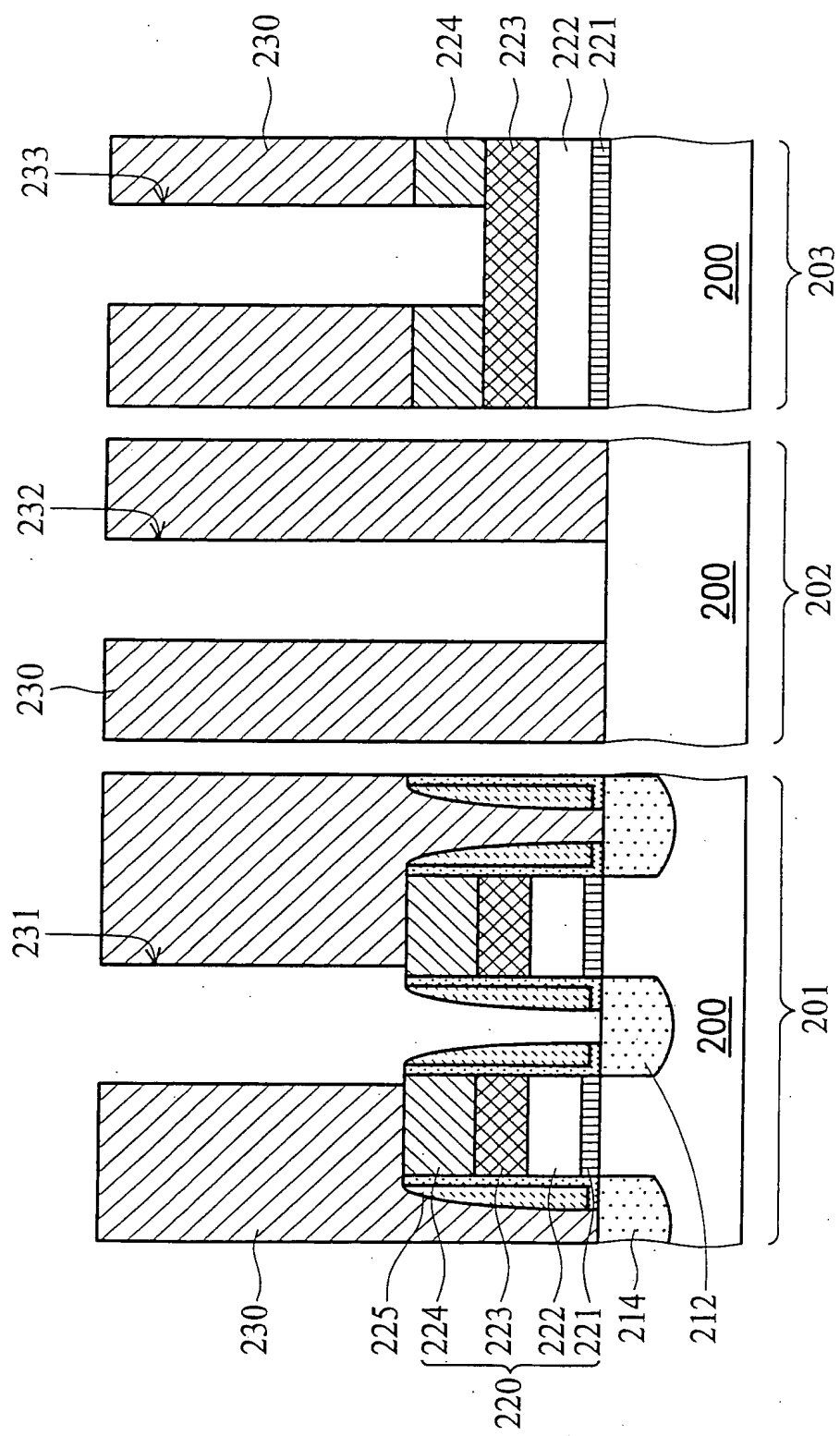
第2C圖



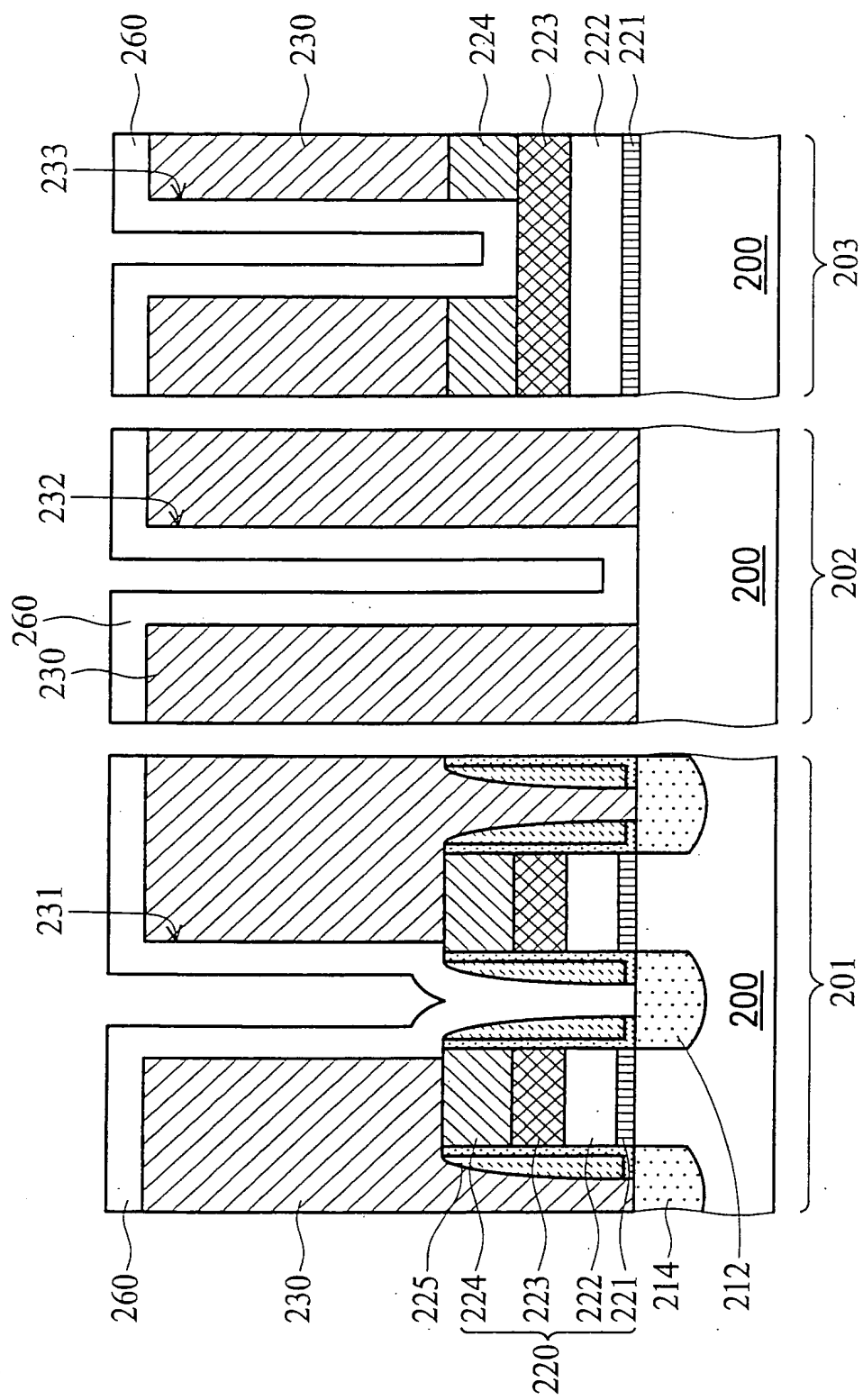
第20圖



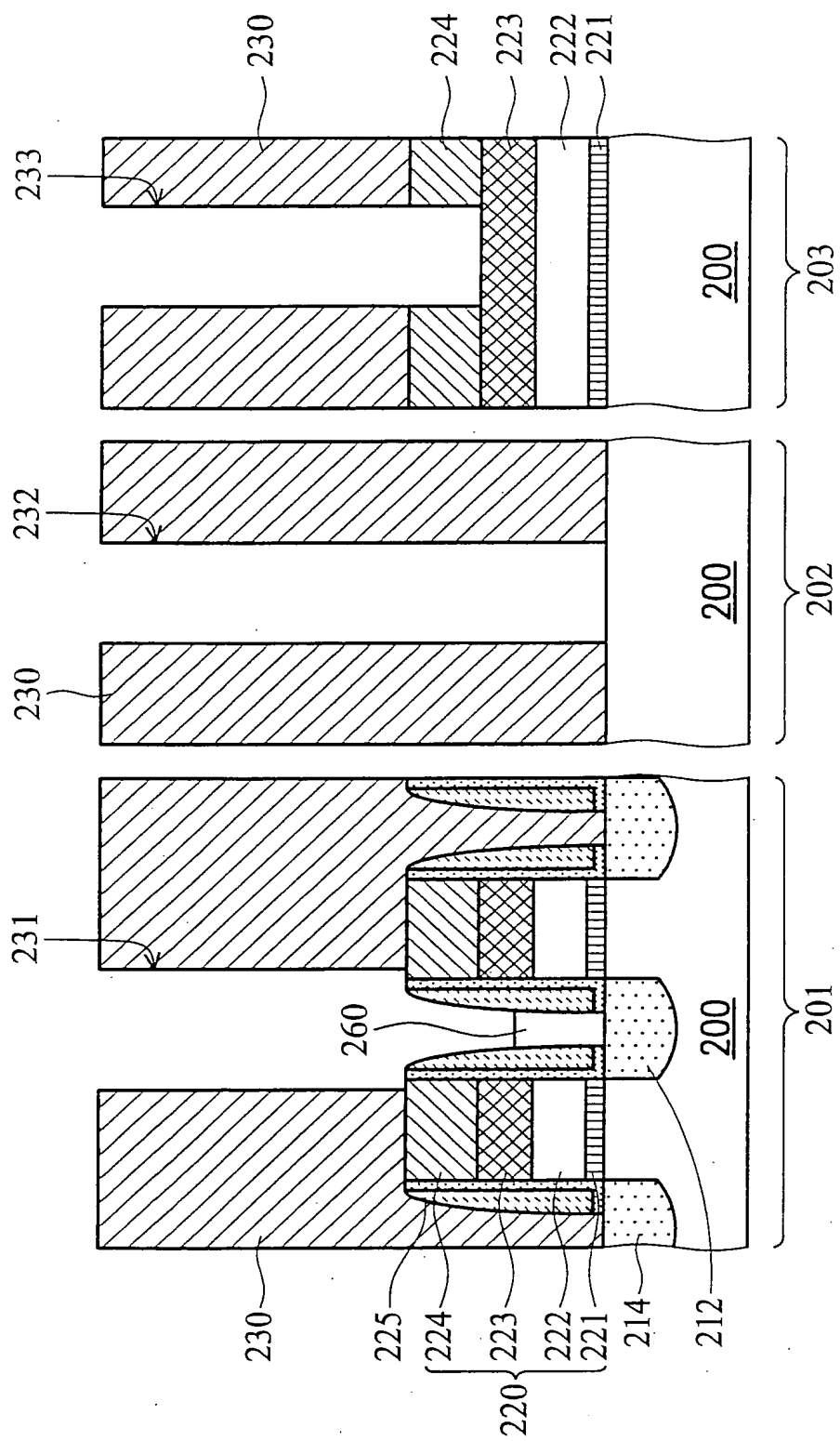
第2E圖



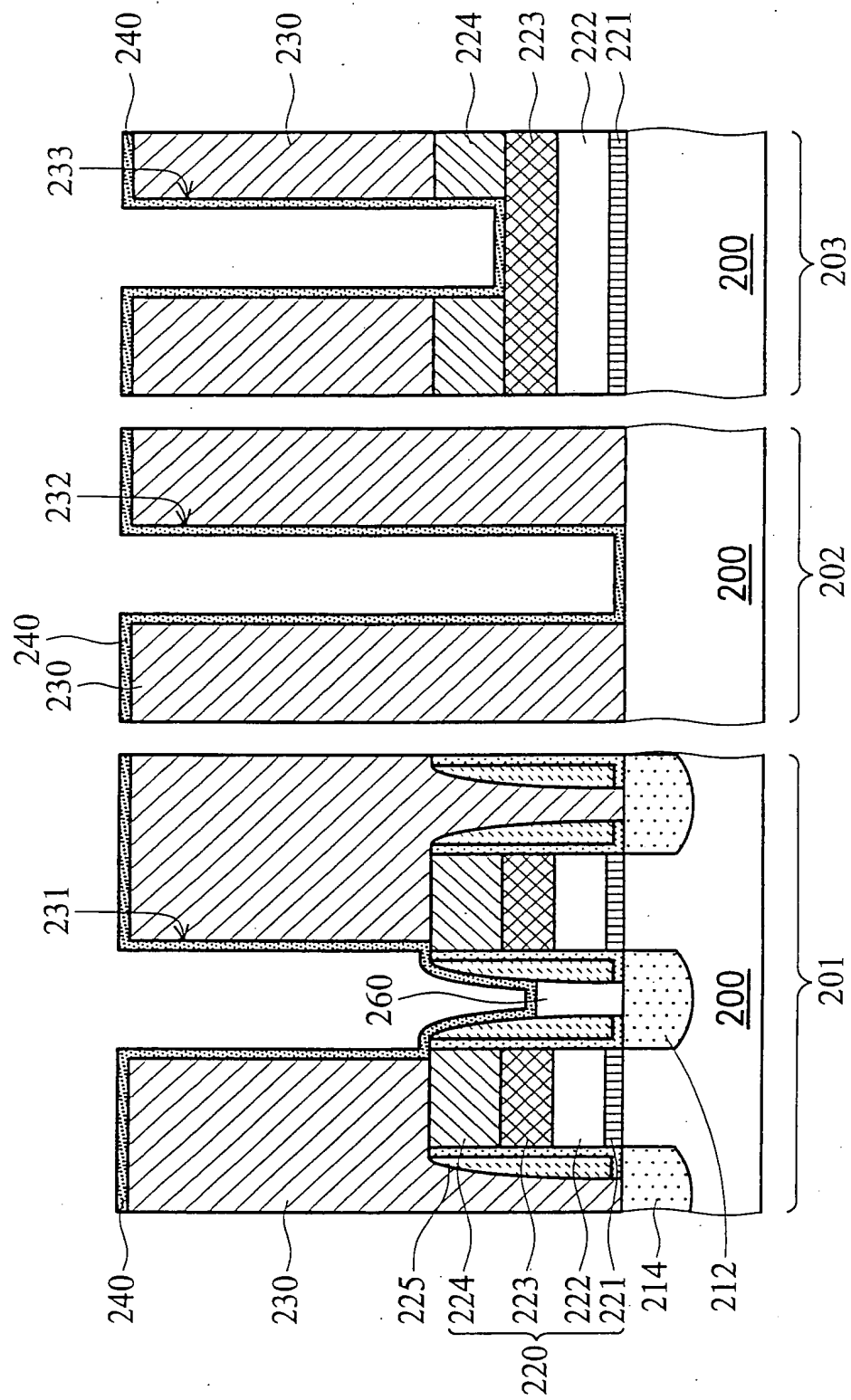
第2F圖



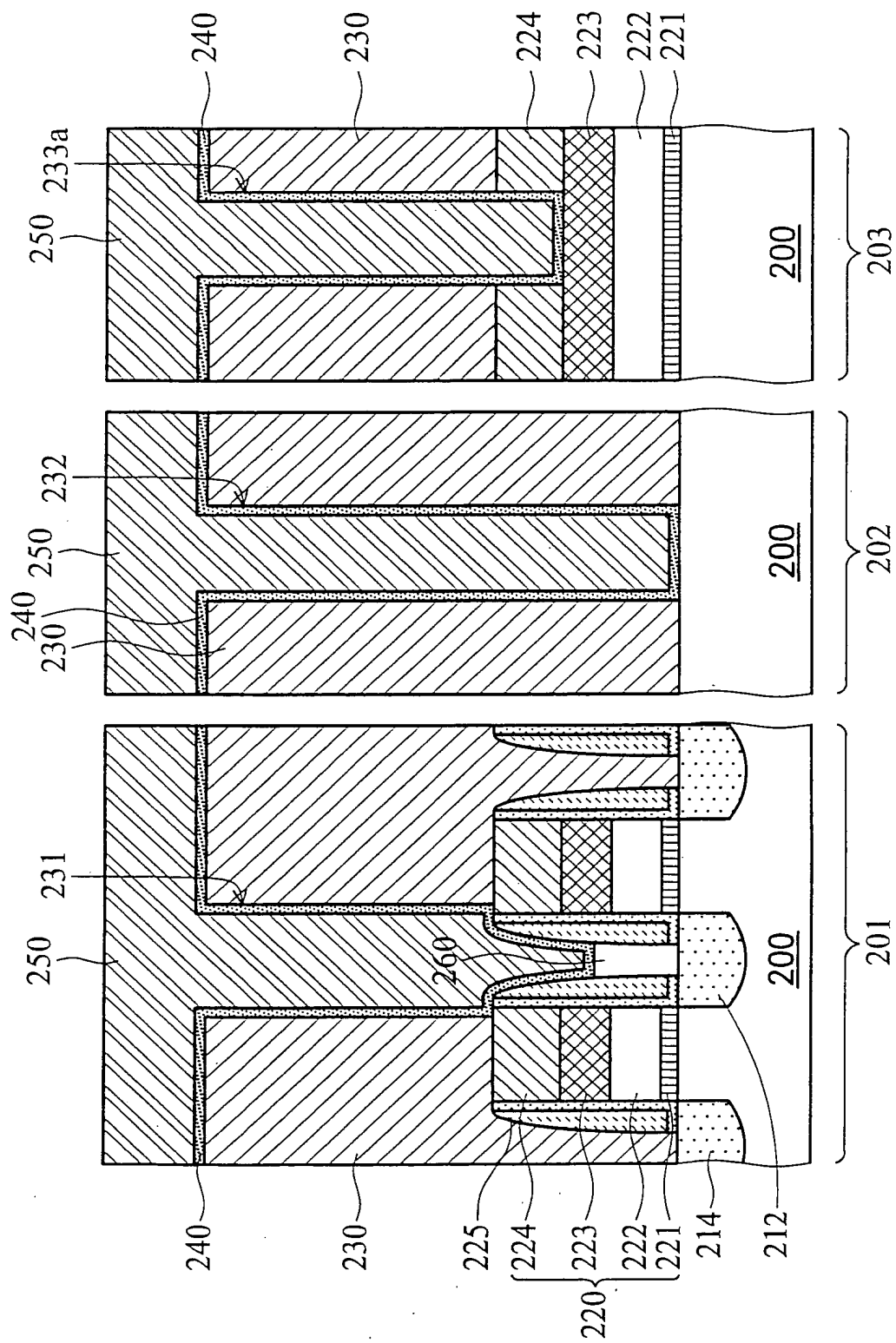
第2G圖



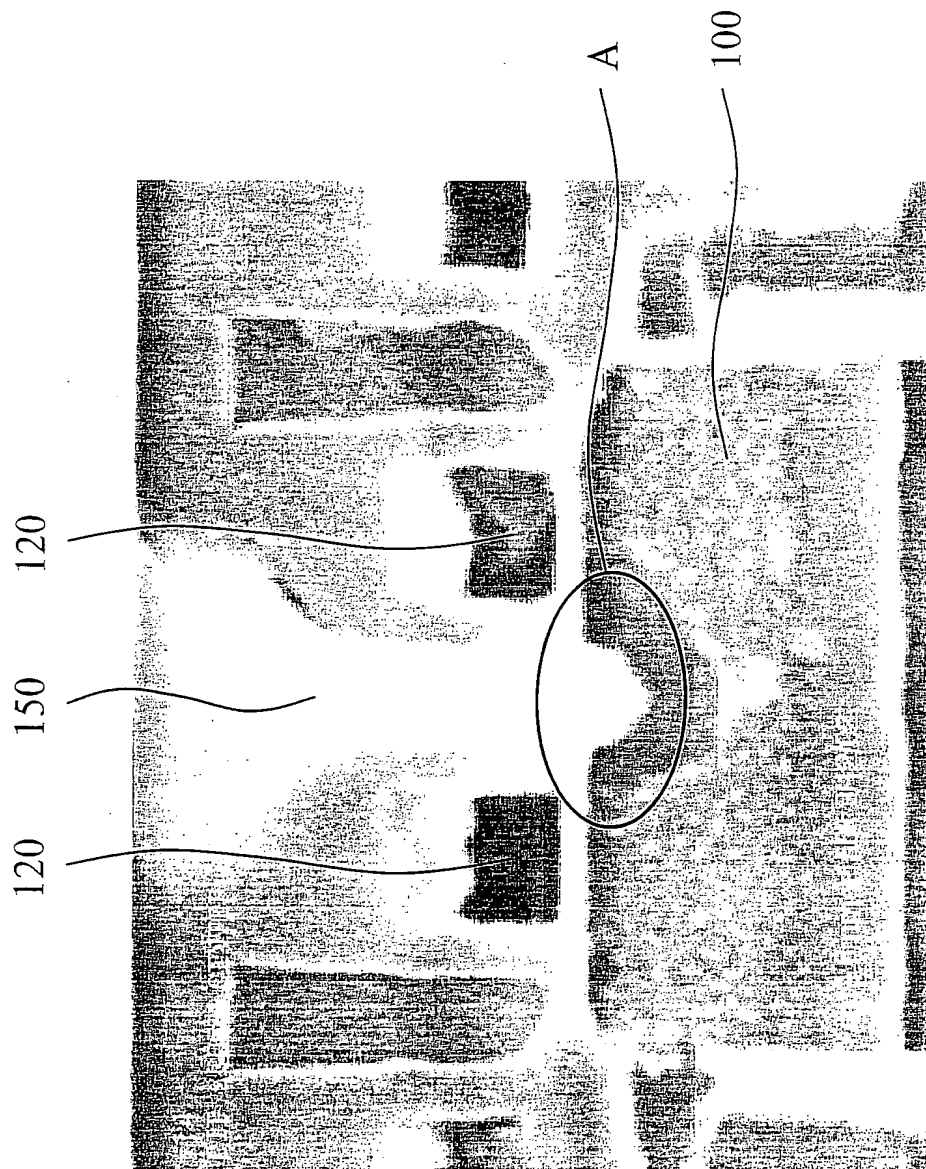
第2H圖



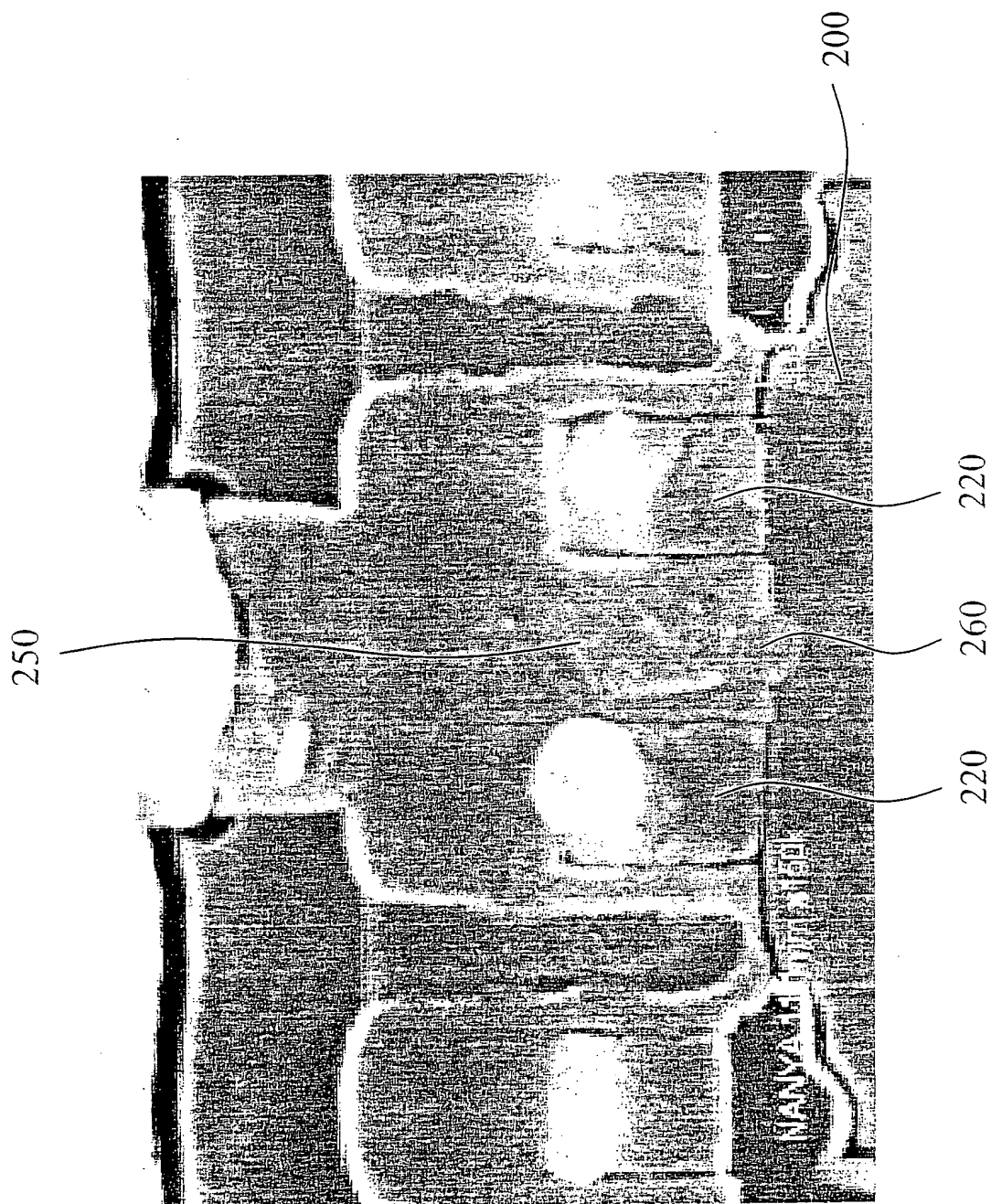
第21圖



第2J圖

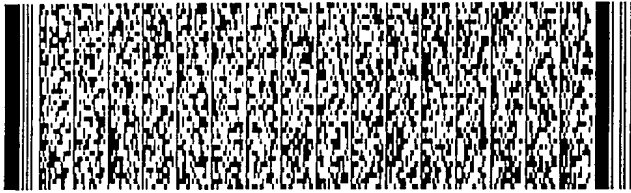


第3圖



第4圖

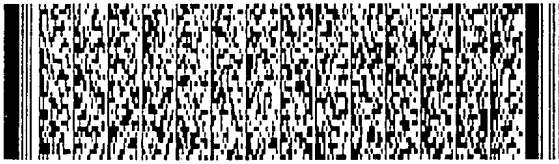
第 1/20 頁



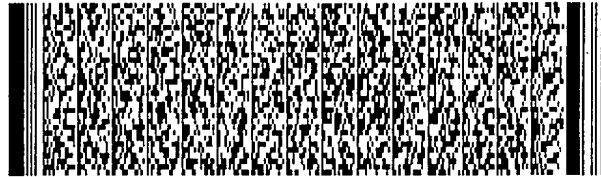
第 2/20 頁



第 2/20 頁



第 3/20 頁



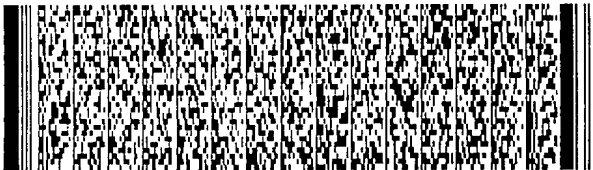
第 4/20 頁



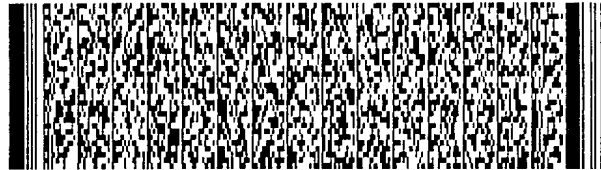
第 5/20 頁



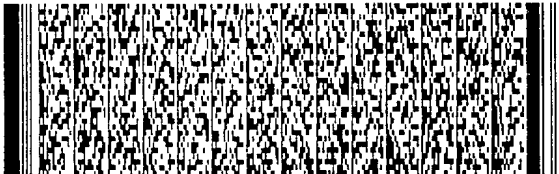
第 6/20 頁



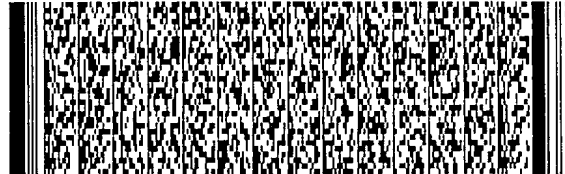
第 6/20 頁



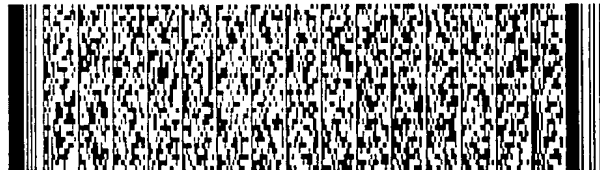
第 7/20 頁



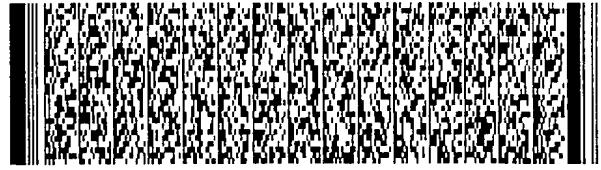
第 7/20 頁



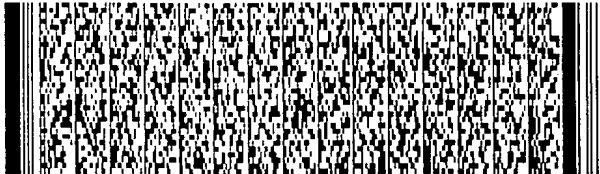
第 8/20 頁



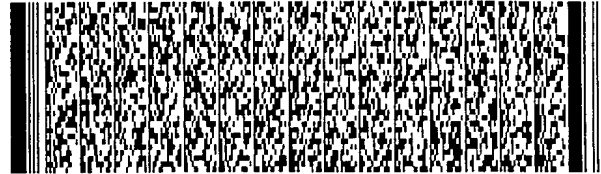
第 8/20 頁



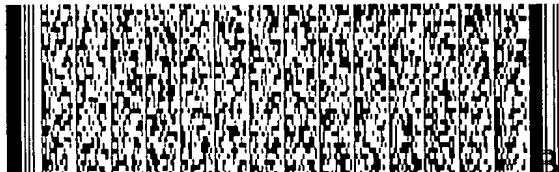
第 9/20 頁



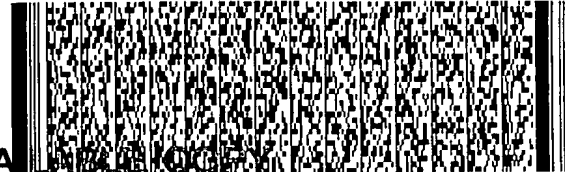
第 9/20 頁



第 10/20 頁



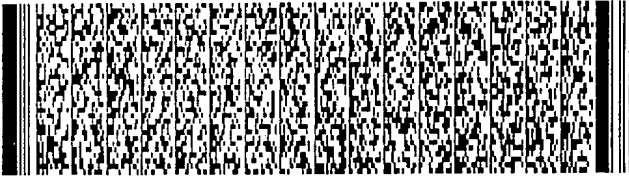
第 10/20 頁



BEST AVAILABLE COPY

BEST AVAILABLE COPY

第 11/20 頁



第 11/20 頁



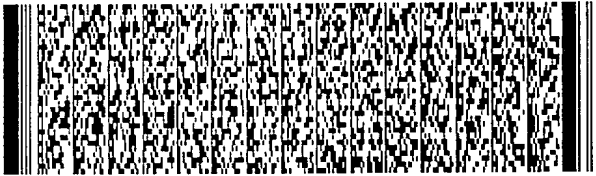
第 12/20 頁



第 12/20 頁



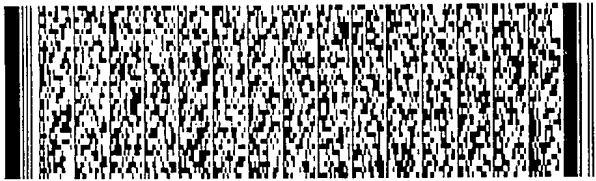
第 13/20 頁



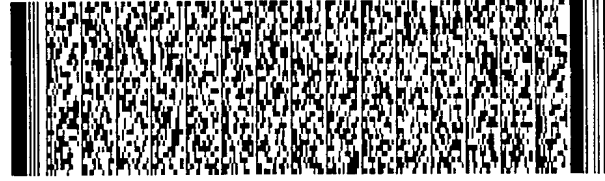
第 13/20 頁



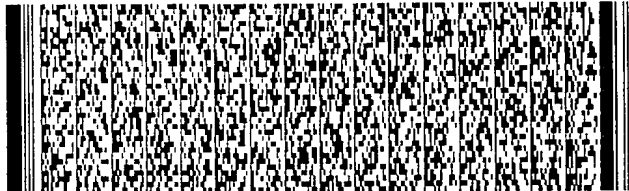
第 14/20 頁



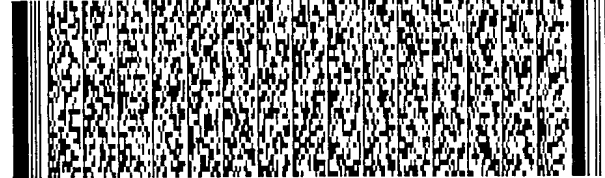
第 14/20 頁



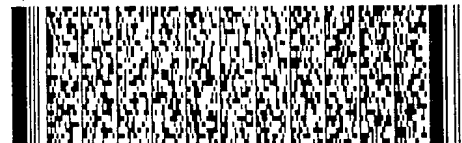
第 15/20 頁



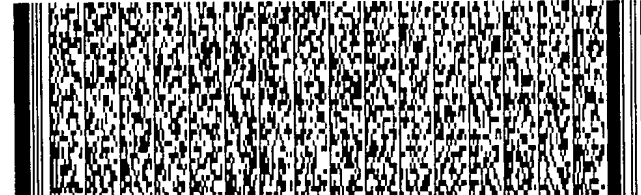
第 16/20 頁



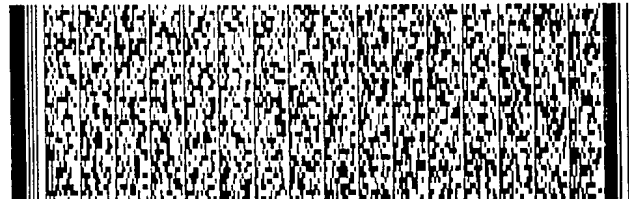
第 17/20 頁



第 18/20 頁



第 19/20 頁



第 20/20 頁

